

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329780

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/768
H01L 21/8238
H01L 27/092

(21)Application number : 2001-131941

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2001

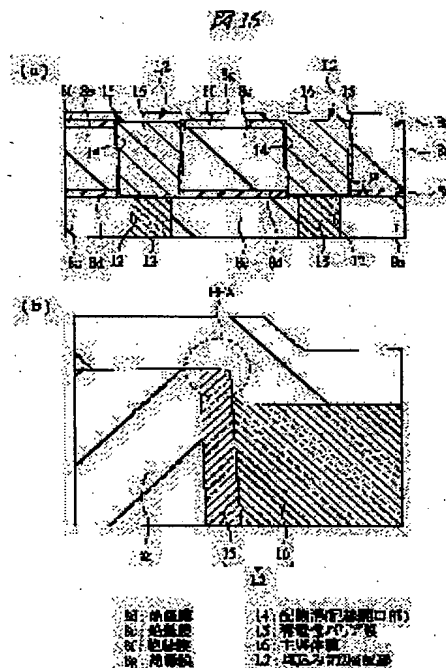
(72)Inventor : NOGUCHI JUNJI
MARUYAMA HIROYUKI
OHASHI TADASHI

(54) FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve insulation break down resistance between wirings having copper as the main conductive layer.

SOLUTION: A buried wiring structure when the electric field concentrates in the upper portion has the main component of copper separated from the polished face of the insulation film of the circumference when the electric field concentrates in the upper portion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329780

(P2002-329780A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 21/768

H 0 1 L 21/90

B 5 F 0 3 3

21/8238

27/08

3 2 1 F 5 F 0 4 8

27/092

審査請求 未請求 請求項の致34 O L (全 30 頁)

(21) 出願番号 特願2001-131941(P2001-131941)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成13年4月27日 (2001. 4. 27)

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 丸山 裕之

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

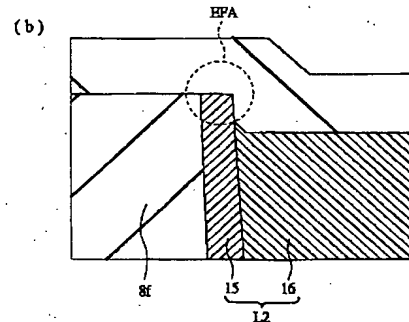
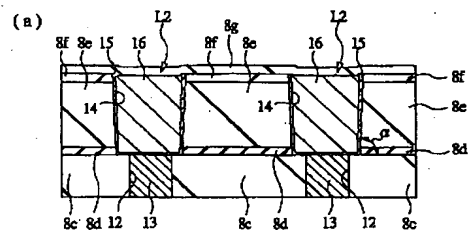
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 銅を主導電層とする配線間の絶縁破壊耐性を向上させる。

【解決手段】 銅を主成分とする埋込み配線の一部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するような埋込み配線構造とした。

図 16



8d: 絶縁膜
8e: 絶縁膜
8f: 絶縁膜
8g: 絶縁膜
14: 応力層(応力開口部)
15: 応力層パリア
16: 主配線
12: 埋込み第2層配線

【特許請求の範囲】

【請求項1】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板の主面上に第1の絶縁膜を堆積する工程、(b) 前記第1の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部に、前記第1の絶縁膜の上面に対して段差が生じるような上面の高さを持ち、銅を主成分として含む配線を形成する工程、(d) 前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、

前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、

前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

前記配線の上面が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、

前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、

前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、前記配線の上面が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、

前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、

前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、

前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、

前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記水素ガスプラズマおよびアンモニアガスプラズマ処理の後、大気開放せずに連続して、前記第1の絶縁膜および前記配線上に、前記第2の絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1記載の半導体装置の製造方法において、前記第2の絶縁膜は、銅の拡散を抑制または

防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記第2の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項16】 以下の構成を有することを特徴とする半導体装置；

(a) 第1の絶縁膜に形成された配線開口部、(b) 前記配線開口部内に埋め込まれるように設けられ、前記第1の絶縁膜の上面に対して段差が生じるような上面の高さを持ち、銅を主成分として含む配線、(c) 前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜。

【請求項17】 請求項16記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも低いことを特徴とする半導体装置。

【請求項18】 請求項16記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも高いことを特徴とする半導体装置。

【請求項19】 請求項16記載の半導体装置において、前記配線は、配線形成用の第1の導体膜と、これよりも相対的に厚く前記配線開口部内に埋め込まれた銅を主成分とする配線形成用の第2の導体膜とを有することを特徴とする半導体装置。

【請求項20】 請求項16記載の半導体装置において、前記配線は、銅を主成分とする配線形成用の導体膜からなることを特徴とする半導体装置。

【請求項21】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置。

【請求項22】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項23】 請求項22記載の半導体装置において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項25】 請求項16記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項26】 請求項25記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項27】 第1の絶縁膜に形成された配線開口

部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記配線において電界が集中する角部を、その周囲の前記第1の絶縁膜の上面から離間させたことを特徴とする半導体装置。

【請求項28】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記配線の上面の高さ位置を、前記第1、第2の絶縁膜の界面の高さ位置からずらしたことを特徴とする半導体装置。

【請求項29】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上に、銅の拡散を抑制または防止する性質を有するキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項30】 請求項29記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項31】 請求項29記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項32】 請求項31記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項33】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記第1の絶縁膜を、銅の拡散を抑制または防止する性質を有する絶縁材料で構成したことを特徴とする半導体装置。

【請求項34】 請求項33記載の半導体装置において、前記第1の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、銅を主導体層とする埋込み配線を有する半導体装置技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年は、例えばダマシン (Damascene) と呼ばれる配線形成技術が検討されている。このダマシン法は、シングルダマシン (Single-Damascene) 法とデ

デュアルダマシン (Dual-Damascene) 法とに大別できる。シングルダマシン法は、例えば絶縁膜に配線溝を形成した後、その絶縁膜上および配線溝内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば化学的機械的研磨法 (CMP; Chemical Mechanical Polishing) によって配線溝内のみに残されるように研磨することにより、配線溝内に埋込み配線を形成する方法である。また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための孔を形成した後、その絶縁膜上、配線溝および孔内に配線形成用の主導電層を堆積し、さらに、その主導電層をCMP等によって配線溝および孔内のみに残されるように研磨することにより、配線溝および孔内に埋込み配線を形成する方法である。いずれの方法においても、配線の主导体材料としては、半導体装置の性能を向上させる観点等から、例えば銅等のような低抵抗な材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が2桁以上大きいという利点を持ち、同じ配線抵抗を得るのに膜を薄くすることができるので、隣接する配線間の容量も低減できる。しかし、銅は、例えばアルミニウム等のような金属と比較して絶縁膜中に拡散され易いとされている。このため、銅を配線材料として用いる場合、銅からなる主导体層の表面 (底面および側面)、すなわち、配線溝の内壁面 (側面および底面) に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要があるとされている。また、配線溝が形成された絶縁膜の上面上の全面に、上記埋め込み配線の上面を覆うように、例えば窒化シリコン膜等からなるキャップ膜を堆積することにより、埋め込み配線中の銅が、埋込み配線の上面から絶縁膜中に拡散するのを防止する技術がある。

【0003】

【発明が解決しようとする課題】ところが、本発明者らの検討結果によれば、上記銅を主导体層とする埋込み配線技術においては、以下の課題があることを見出した。

【0004】すなわち、銅を配線材料に用いた場合、TDDB (Time Dependence on Dielectric Breakdown) 寿命が、他の金属材料 (例えばアルミニウムやタングステン) に比べて著しく短いという問題がある。その上、配線ピッチの微細化が進み、実効電界強度が増加する傾向にあることに加え、近年は配線容量を低減する観点等から酸化シリコンよりも誘電率の低い絶縁材料を配線間の絶縁膜として使用する方向にあるが、誘電率の低い絶縁膜は一般的に絶縁耐圧も低いことから、TDDB寿命の確保が益々困難になる状況にある。

【0005】本発明の目的は、銅を主导体層とする配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】すなわち、本発明は、銅を主导体膜として含む配線において電界が集中する箇所を、その周囲の絶縁膜の研磨面から離間させるものである。

【0009】また、本発明は、銅を主导体膜として含む配線の上部角の高さを、その配線が形成される絶縁膜と、その配線を覆うように絶縁膜上に設けられた他の絶縁膜との界面の高さに対して上または下方向にずらすものである。

【0010】また、本発明は、銅を主导体膜として含む配線が形成される絶縁膜であって、その配線を覆うように絶縁膜上に設けられた他の絶縁膜と接する界面部分に、銅の拡散を抑制または防止する性質を有する絶縁膜を設けたものである。

【0011】また、本発明は、銅を主导体膜として含む埋込み配線の絶縁膜において、少なくとも埋込み配線の上面に接続される絶縁膜界面に接する部分に、銅の拡散を抑制または防止する性質を有する絶縁膜が配置されるように絶縁膜を構成したものである。

【0012】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0013】1. TDDB (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁破壊の時間的依存性を客観的に計る尺度であって、所定の温度 (例えば140℃) の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度 (例えば0.2 MV/cm) に外挿して求めた時間 (寿命) をいう。

【0014】図1は、本願のTDDB寿命測定に使用した試料を示し、図1(a)は平面図、図1(b)および図1(c)は図1(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は実際にはウエハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の櫛形配線Lを第2配線層M2に形成し、最上層のパッドP1、P2に各々接続する。この櫛形配線L間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。櫛形配線Lの配線幅、配線間隔、配線厚さは何れも0.5 μmである。また、配線対向長は $1.58 \times 10^5 \mu\text{m}$ とした。

【0015】図2は、測定の概要を示した説明図である。試料は測定ステージSに保持され、パッドP1、P2間に電流電圧測定器 (I/V測定器) を接続する。測定ステージSはヒータHで加熱され試料温度が140℃に調整される。TDDB寿命測定には定電圧ストレス法

と低電流ストレス法とがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後、急激な電流増加（絶縁破壊）が観測される。ここでは、リーク電流密度が $1\mu\text{A}/\text{cm}^2$ に達した時間をTDDDB寿命（ $5\text{MV}/\text{cm}$ におけるTDDDB寿命）とした。なお、本願において、TDDDB寿命とは、特に言及しない限り $0.2\text{MV}/\text{cm}$ における破壊時間（寿命）をいうが、広義には所定の電界強度に言及した上で破壊までの時間としてTDDDB寿命の語を用いる場合もある。また、特に言及しない限り、TDDDB寿命は、試料温度 140°C の場合をいう。また、TDDDB寿命は前記の櫛形配線で測定した場合をいうが、実際の配線間の破壊寿命を反映することはいうまでもない。

【0016】2. プラズマ処理とは、プラズマ状態にある環境に、基板表面、あるいは、基板上に絶縁膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的（ボンバードメント）作用を表面に与えて処理することをいう。一般にプラズマは特定のガス（処理ガス）に置換した反応室内に必要に応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本願では、例えばアンモニアプラズマと称しても、完全なアンモニアプラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス（窒素、酸素、二酸化炭素、水蒸気等）の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0017】3. 還元性雰囲気中のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいい、ラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。例えば水素ラジカルと NH_2 ラジカルとが同時に存在する環境でも良い。

【0018】4. 本願において例えば銅からなると表現した場合、主成分として銅が用いられていることを意図する。すなわち、一般に高純度な銅であっても、不純物が含まれることは当然であり、添加物や不純物も銅からなる部材に含まれることを排除するものではない。これは銅に限らず、その他の金属（窒化チタン等）でも同様である。

【0019】5. 化学機械研磨（CMP：Chemical Mechanical Polish）とは、一般に被研磨面を相対的に軟らかい布様のシート材料等からなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことをいい、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによ

て研磨を行うCML（Chemical Mechanical Lapping）、その他の固定砥粒を使用するもの、及び砥粒を使用しない砥粒フリーCMP等も含むものとする。

【0020】6. 砥粒フリー化学機械研磨は、一般に砥粒の重量濃度が 0.5% 重量未満のスラリを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が 0.5% 重量よりも高濃度のスラリを用いた化学機械研磨をいう。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合などには、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。本明細書中において、砥粒フリー化学機械研磨と言うときは、対象とする金属膜の単位平坦化プロセス全体を砥粒フリー化学機械研磨で行う場合の他、主要プロセスを砥粒フリー化学機械研磨で行い、副次的なプロセスを有砥粒化学機械研磨で行う場合も含むものとする。

【0021】7. 研磨液（スラリ）とは、一般に化学エッチング薬剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0022】8. 砥粒（スラリ粒子）とは、一般にスラリに含まれるアルミナ、シリカ等のような粉末をいう。

【0023】9. 防食剤とは、金属の表面に耐食性、疎水性あるいはその両方の性質を有する保護膜を形成することによって、CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベンゾトリアゾール（BTA）などが使用される（詳しくは特開平8-64594号公報参照）。

【0024】10. 導電性バリア膜とは、一般に銅が層間絶縁膜内や下層へ拡散するのを防止するために、埋め込み配線の側面または底面に比較的薄く形成される拡散バリア性の導電膜であり、一般に、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）等のような高融点金属またはその窒化物等が使用される。

【0025】11. 埋込み配線または埋込みメタル配線とは、一般にシングルダマシ（single damascene）やデュアルダマシ（dual damascene）などのように、絶縁膜に形成された溝や孔などの内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってパターンニングされた配線をいう。また、一般に、シングルダマシとは、プラグメタルと、配線用メタルとの2段階に分けて埋め込む、埋込み配線プロセスを言う。同様にデュアルダマシとは、一般にプラグメタルと、配線用メタルとを一度に埋め込む、埋込み配線プロセスを言う。一般に、銅埋込み配線を多層構成で使われることが多い。

【0026】12. 本願において半導体装置というとき

は、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI (Silicon On Insulator) 基板やTFT (Thin Film Transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0027】13. ウエハ（回路基板または基板）とは、半導体集積回路の製造に用いるシリコンその他の半導体単結晶基板（一般にほぼ円板形、半導体ウエハ）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。

【0028】14. 半導体集積回路チップまたは半導体チップ（以下、単にチップという）とは、ウエハ工程（ウエハプロセスまたは前工程）が完了したウエハを単位回路群に分割したものを言う。

【0029】15. シリコンナイトライド、窒化ケイ素または窒化シリコン膜というときは、 Si_3N_4 のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0030】16. 低誘電率な絶縁膜、絶縁材料とは、パッシベーション膜として形成される保護膜に含まれる酸化シリコン膜（たとえばTEOS (Tetraethoxysilane) 酸化膜）の誘電率よりも低い誘電率を有する絶縁膜と定義できる。一般的には、TEOS酸化膜の誘電率 $\epsilon = 4.1 \sim 4.2$ 程度より低い低誘電率な絶縁膜と言う。

【0031】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0032】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0033】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0034】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0035】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】また、本実施の形態で用いる図面において

は、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0037】また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0038】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0039】（実施の形態1）まず、本発明者らによって検討された上記銅を主導体層とした埋込み配線間におけるTDD B寿命の劣化原因について説明する。TDD B寿命の劣化は、一般に配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁破壊耐圧を低下させると考えられている。しかし、本発明者らによる検討結果によれば銅の拡散現象は、次のような要因が支配的であることを初めて見出した。すなわち、第1は、隣接配線間の絶縁膜中を拡散する銅は、原子状の銅よりも、酸化銅（CuO）あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的である。第2は、銅の拡散経路は銅配線が形成された絶縁膜と配線キャップ膜との界面が支配的である。そして、これらのことから、本発明者らは、TDD B寿命の劣化が、次のようなメカニズムによるものであることを初めて明らかにした。

【0040】すなわち、銅を主導体膜とする埋込み配線の表面には、CMP後の表面プロセスにより酸化銅（CuO）が形成されたり、また、キャップ膜（窒化シリコン膜）の形成の際に銅シリサイド（Cu化合物）が形成されたりする。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化され易い。このようにしてイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。一方、上記埋込み配線を形成する絶縁膜（酸化シリコン膜）とキャップ膜（窒化シリコン膜）との界面は、CMPダメージ、有機物またはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は、上記銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリークパスが形成される。リークパスを流れるリーク電流は、長時間のリーク作用と電流による熱ストレスも加わり、その後、加速度的に電流値が増加して絶縁破壊に至る（TDD B寿命の低下）。なお、このようなTDD B寿命の劣化原因については、本願発明者による特願平11-226876号、特願2000-104015号または特願2000-300853号に開示がある。

【0041】ところで、近年は、銅を主導体膜とする配線に加えて、配線間容量の低減等の観点から配線間に用

いられる絶縁膜の材料として、例えばFSG（高密度プラズマCVD（Chemical Vapor Deposition）法によるフッ素ドーパ酸化膜（SiOF））、pSiOC、SiLK（米The Dow Chemical Co製、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0MV/Vm）等のような誘電率の低い、いわゆるLow-K絶縁膜（Kは比誘電率）を用いることが本格的に検討されている。しかし、この場合、配線間の絶縁破壊耐圧が酸化シリコン膜を用いていた場合に比べて必然的に低くなる。

【0042】図3は、pTEOS（比誘電率=4.2）、FSG（比誘電率=3.5）、SiLK（比誘電率=2.7）を用いた銅配線構造のTDDDB寿命の測定結果を例示している。この結果から分かるように、銅配線に用いる絶縁膜のLow-K化が進むと、Low-K絶縁材料の物性から絶縁破壊耐圧も低下し、その結果、TDDDB寿命の低下を招く。したがって、Low-K絶縁構造を適用する場合には、今まで以上に信頼度（TDDDB寿命）の確保に対して積極的に対策する必要がある。

【0043】図4は、配線間の絶縁膜としてSiLKを用いて実際に作成した配線構造の断面TEM（Transmission Electron Microscope）写真の模式図である。絶縁膜50上には、絶縁膜51~54が下方から順に堆積されている。絶縁膜50、53は、例えばTEOS（Tetraethoxysilane）ガスを用いたプラズマCVD法で形成された酸化シリコン膜（SiO_x）からなる。絶縁膜50、53の比誘電率は、例えば4.2である。絶縁膜51、54は、例えばプラズマCVD法で形成された窒化シリコン膜（Si_xN_y）からなる。絶縁膜51、54の比誘電率は、例えば7である。絶縁膜52は、例えばSiLKからなる。絶縁膜51~53には、配線溝55が掘られており、その内部に埋込み配線56が形成されている。埋込み配線56は、銅からなる主導体膜と、その外周側面および底面を被覆する相対的に薄い上記導電性バリア膜とを有している。埋込み配線56の厚さ（配線溝55の深さ）h1は、例えば438nm程度または535nm程度である。埋込み配線56の下部の幅w1は、例えば240nm程度、上部の幅w2は、例えば260nm程度である。そして、互いに隣接する埋込み配線56において、下部の間隔d1は、例えば260nm程度、上部の間隔d2は、例えば240nm程度である。

【0044】この断面TEM写真から実測値をデバイスシミュレータに入力し電界分布を計算した。例として5Vの電圧を印加した場合の電界分布を図5に示す。黒塗りの領域が最も電界分布の高い領域を示している。この結果から分かるように、埋込み配線56の上部、いわゆるCMP面（CMPで研磨された面）に電界が集中していることが分かる。さらに、埋込み配線56近傍のY1-Y1破線の電界分布を図6に示す。SiLKからなる

絶縁膜52における電界に対して、絶縁膜53と絶縁膜54との界面の電界は、約30%強くなっている。

【0045】このように、銅を主導体膜とした埋込み配線構造においては、電界分布がCMP面に集中する。ここで、上記した電界集中モデルを図7に示す。CMP面の埋込み配線56の角部に電界が集中する理由として、例えば次の2つが考えられる。第1は、互いに隣接する埋込み配線間の距離が最も短い。第2は、埋込み配線の角部の形状が角形状となっていることである。このような電界集中箇所では、上記銅のイオン化が助長される。このため、TDDDB寿命の劣化の原因となる。

【0046】さらに、埋込み配線56の上部角に電界が集中する理由ではないが、TDDDB寿命を劣化させる原因として、例えば次のような理由があることを本発明者らは見出した。すなわち、埋込み配線56の上面側を覆う絶縁膜54は、比誘電率の高い窒化シリコン膜を使用している。このため、その絶縁膜54において、互いに隣接する埋込み配線間の中央全体における電界強度が高くなる。この結果、その下層の酸化シリコン膜からなる絶縁膜53の電界も高くなる。この電界が高くなる部分は互いに隣接する埋込み配線56間であり、また、絶縁膜53、54の界面はCMP面であることから、その高電界によるTDDDB寿命の劣化に対する影響も大きい。その上、配線ピッチの縮小に伴い、実効電界強度が増加するので、TDDDB寿命の確保が益々困難になる。

【0047】そこで、本実施の形態においては、CMP面での埋込み配線への電界集中を緩和し、TDDDB特性を改善させることを検討した。

【0048】本発明の技術思想を、例えばCMIS（Complementary MIS）-LSI（Large Scale Integrated circuit）の製造方法に適用した場合を図8~図16を用いて説明する。なお、図8（a）はCMIS-LSIの製造工程における要部平面図、図8（b）は図

（a）のX1-X1線の断面図である。また、図9~図11、図13~図15は、各工程における図8（a）のX1-X1線に相当する部分の断面図である。

【0049】図8に示すように、ウエハを構成する基板1は、例えば1~10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる。基板1の主面（素子形成面）には、溝形の分離部（SGI：Shallow Groove Isolation）2が形成されている。この溝形の分離部2は、基板1の主面に形成された溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。また、基板1の主面側には、p型ウエルPWLおよびn型ウエルNWLが形成されている。p型ウエルPWLには、例えばホウ素が導入され、n型ウエルNWLには、例えばリンが導入されている。このような分離部2に囲まれたp型ウエルPWLおよびn型ウエルNWLの活性領域には、nMISQnおよびpMISQpが形成されている。

【0050】nMISQnおよびpMISQpのゲート

絶縁膜3は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜3の膜厚とは、二酸化シリコン換算膜厚（以下、単に換算膜厚という）であり、実際の膜厚と一致しない場合もある。ゲート絶縁膜3は、酸化シリコン膜に代えて酸化窒化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜3と基板1との界面に窒素を偏析させる構造としても良い。酸化窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜3のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸化窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、酸化窒化シリコン膜を用いることにより、ゲート電極材料中の不純物が基板1側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸化窒化シリコン膜を形成するには、例えば基板1をNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウエルPWLおよびn型ウエルNWLのそれぞれの表面に酸化シリコンからなるゲート絶縁膜3を形成した後、基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜3と基板1との界面に窒素を偏析させることによって、上記と同様の効果を得ることができる。

【0051】また、ゲート絶縁膜3を、例えば窒化シリコン膜、あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁破壊耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜3を単一の窒化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁破壊耐圧の低下を改善することができる。

【0052】nMISQnおよびpMISQpのゲート電極4は、例えば低抵抗多結晶シリコン膜上にチタンシリサイド（TiSix）層またはコバルトシリサイド（CoSix）層を形成されてなる。ただし、ゲート電極構造は、これに限定されるものではなく、例えば低抵抗多結晶シリコン膜、WN（窒化タングステン）膜およびW（タングステン）膜の積層膜で構成される、いわゆるポリメタルゲート構造としても良い。ゲート電極4の側面には、例えば酸化シリコンからなるサイドウォール5が形成されている。

【0053】nMISQnのソースおよびドレイン用の半導体領域6は、チャンネルに隣接するn⁻型半導体領域と、n⁻型半導体領域に接続され、かつ、n⁻型半導体領域分だけチャンネルから離間する位置に設けられたn⁺型半導体領域とを有している。n⁻型半導体領域およびn⁺型半導体領域には、例えばリンまたはヒ素が導入されている。一方、pMISQpのソースおよびドレイン用の半導体領域7は、チャンネルに隣接するp⁻型半導体領域と、p⁻型半導体領域に接続され、かつ、p⁻型半導体領域分だけチャンネルから離間する位置に設けられたp⁺型半導体領域とを有している。p⁻型半導体領域およびp⁺型半導体領域には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチタンシリサイド層またはコバルトシリサイド層等のようなシリサイド層が形成されている。

【0054】このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG（Boron-doped Phospho Silicate Glass）膜からなる。また、スピン塗布法によって形成されるSOG（Spin On Glass）膜で構成しても良い。絶縁膜8aには、コンタクトホール9が形成されている。コンタクトホール9の底部からは半導体領域6、7の上面一部が露出されている。このコンタクトホール9内には、プラグ10が形成されている。プラグ10は、例えばコンタクトホール9の内部を含む絶縁膜8a上にCVD法等で窒化チタン（TiN）膜およびタングステン（W）膜を堆積した後、絶縁膜8a上の不要な窒化チタン膜およびタングステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール9内のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜8a上には、例えばタングステンからなる第1層配線L1が形成されている。第1層配線L1は、プラグ10を通じてnMISQnおよびpMISQpのソース・ドレイン用の半導体領域6、7やゲート電極4と電気的に接続されている。また、絶縁膜8a上には、第1層配線L1を覆うように、絶縁膜8b、8cが下層から順に堆積されている。

【0056】絶縁膜8bは、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えばSiLK（米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0MV/Vm）またはポリアリルエーテル（PAE）系材料のFLARE（米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400℃以上）等がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカガラス（SiOC系材料）としては、例えばHSG-R7（日立化成工業製、比誘電率=2.8、

耐熱温度=650℃)、Black Diamond (米Applied Materials, Inc製、比誘電率=3.0~2.4、耐熱温度=450℃)またはp-MTES (日立開発製、比誘電率=3.2)等がある。その他のSiOC系材料としては、例えばCORAL (米Novellus Systems, Inc製、比誘電率=2.7~2.4、耐熱温度=500℃)、Aurora 2.7 (日本エー・エス・エム社製、比誘電率=2.7、耐熱温度=450℃)等がある。

【0057】また、絶縁膜8bの低誘電率材料としては、例えばFSG (SiOF系材料)、HSQ (hydrogen silsesquioxane) 系材料、MSQ (methyl silsesquioxane) 系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。HSQ系材料としては、例えばOCD T-12 (東京応化工業製、比誘電率=3.4~2.9、耐熱温度=450℃)、FOX (米Dow Corning Corp. 製、比誘電率=2.9)またはOCL T-32 (東京応化工業製、比誘電率=2.5、耐熱温度=450℃)等がある。

【0058】MSQ系材料としては、例えばOCD T-9 (東京応化工業製、比誘電率=2.7、耐熱温度=600℃)、LKD-T200 (JSR製、比誘電率=2.7~2.5、耐熱温度=450℃)、HOSP (米Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=550℃)、HSG-RZ25 (日立化成工業製、比誘電率=2.5、耐熱温度=650℃)、OCL T-31 (東京応化工業製、比誘電率=2.3、耐熱温度=500℃)またはLKD-T400 (JSR製、比誘電率=2.2~2.0、耐熱温度=450℃)等がある。

【0059】ポーラスHSQ系材料としては、例えばXLK (米Dow Corning Corp. 製、比誘電率=2.5~2.0)、OCL T-72 (東京応化工業製、比誘電率=2.2~1.9、耐熱温度=450℃)、Nanoglass (米Honeywell Electronic Materials製、比誘電率=2.2~1.8、耐熱温度=500℃以上)またはMesoeLK (米Air Products and Chemicals, Inc. 比誘電率=2以下)等がある。

【0060】ポーラスMSQ系材料としては、例えばHSG-6211X (日立化成工業製、比誘電率=2.4、耐熱温度=650℃)、ALCAP-S (旭化成工業製、比誘電率=2.3~1.8、耐熱温度=450℃)、OCL T-77 (東京応化工業製、比誘電率=2.2~1.9、耐熱温度=600℃)、HSG-6210X (日立化成工業製、比誘電率=2.1、耐熱温度=650℃)またはsilica aerogel (神戸製鋼所製、比誘電率1.4~1.1)等がある。

【0061】ポーラス有機系材料としては、例えばPolyELK (米Air Products and Chemicals, Inc. 比誘

電率=2以下、耐熱温度=490℃)等がある。

【0062】上記SiOC系材料、SiOF系材料および絶縁膜8cは、例えばCVD法 (Chemical Vapor Deposition) によって形成されている。例えば上記Black Diamondは、トリメチルシランと酸素との混合ガスを用いたCVD法等によって形成される。また、上記p-MTESは、例えばメチルトリエトキシシランとN₂Oとの混合ガスを用いたCVD法等によって形成される。それ以外の上記低誘電率の絶縁材料は、塗布法で形成されている。

【0063】また、絶縁膜8b上の絶縁膜8cは、例えば酸化シリコン等からなる。この絶縁膜8cは、いわゆるLow-Kキャップ用の絶縁膜であり、絶縁膜8bの機械的強度を確保する機能を有している。このような絶縁膜8b、8cには、第1層配線L1の一部が露出するスルーホール12が穿孔されている。このスルーホール12内には、例えばタングステン等からなるプラグ13が形成されている。

【0064】まず、本実施の形態においては、上記のような基板1の主面上に、例えば膜厚50nmの窒化シリコン膜等からなる絶縁膜 (第1の絶縁膜) 8dをプラズマCVD法等により堆積する。絶縁膜8dは、この窒化シリコン膜に代えて、プラズマCVD法で形成された炭化シリコン (SiC) 膜、プラズマCVD法で形成された酸化シリコン膜、プラズマCVD法で形成されたSiCNを用いることができる。プラズマCVD法で形成された炭化シリコン膜としては、例えばBLOK (AMAT社製、比誘電率=4.3)がある。その形成に際しては、例えばトリメチルシランとヘリウム (またはN₂, NH₃) との混合ガスを用いる。また、上記プラズマCVD法で形成された酸化シリコン膜としては、例えばPE-TMS (Canon製、比誘電率=3.9)がある。その形成に際しては、例えばトリメトキシシランと酸化窒素 (N₂O) ガスとの混合ガスを用いる。絶縁膜8dの材料として、これらを用いることにより、誘電率を窒化シリコン膜よりも大幅に下げることができ、配線容量等を下げることができるので、半導体集積回路装置の動作速度を向上させることができる。

【0065】続いて、絶縁膜8d上に、絶縁膜8e、8fを下層から順に堆積する。絶縁膜 (第1の絶縁膜) 8eは、上記絶縁膜8bと同じ低誘電率の絶縁膜からなる。また、絶縁膜 (第1の絶縁膜、キャップ用の絶縁膜) 8fは、上記絶縁膜8cと同じLow-Kキャップ用の絶縁膜からなる。その後、フォトリソ膜をマスクにしたドライエッチング法により、絶縁膜8f、8e、8dを選択的に除去し、配線溝 (配線開口部) 14を形成する。配線溝14を形成するには、フォトリソ膜から露出する絶縁膜8f、8eを除去する際に、絶縁膜8f、8eと、絶縁膜8dとのエッチング選択比を大きくとることで、絶縁膜8dをエッチングストップと

して機能させる。すなわち、この絶縁膜8dの表面でエッチングを一旦停止させた後、絶縁膜8dを選択的にエッチング除去する。これにより、配線溝14の形成深さを精度を向上させることができ、配線溝14の掘り過ぎを防止できる。このような配線溝14は、その平面形状が、図8(a)に示すように、例えば帯状に形成されている。配線溝14の底面からは上記プラグ13の上面が露出されている。

【0066】次に、上記配線溝14の内部に以下のような方法で埋め込み配線を形成する。まず、図9に示すように、基板1の主面上の全面に、例えば窒化チタン(TiN)等からなる厚さ50nm程度の薄い導電性バリア膜(第1の導体膜)15をスパッタリング法等で堆積する。この導電性バリア膜15は、後述の主導体膜形成用の銅の拡散を防止する機能、その主導体膜と絶縁膜8c~8fとの密着性を向上させる機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能を有している。このような機能を有する膜としては、窒化チタンに代えて、銅と殆ど反応しない窒化タングステン(WN)、窒化タンタル(TaN)などの高融点金属窒化物を用いることが好ましい。また、その窒化チタンに代えて、高融点金属窒化物にシリコン(Si)を添加した材料や、銅と反応し難いタンタル(Ta)、チタン(Ti)、タングステン(W)、チタンタングステン(TiW)合金などの高融点金属を用いることもできる。なお、本実施の形態によれば、導電性バリア膜15の膜厚を、例えば10nm、それよりも小さい6~7nmまたは5nm以下としても良好なTDDB特性を得ることができる。

【0067】続いて、導電性バリア膜15上に、例えば銅からなる主導体膜(第2の導体膜)16を堆積する。本実施の形態では、主導体膜16をメッキ法で形成した。メッキ法を用いることにより、良好な膜質の主導体膜16を埋め込み性良く、かつ、低コストで形成することができる。この場合、まず、導電性バリア膜15上に、銅からなる薄い導体膜をスパッタリング法で堆積した後、その上に、銅からなる相対的に厚い導体膜を、例えば電解メッキ法または無電解メッキ法によって成長させることで主導体膜22aを堆積した。このメッキ処理では、例えば硫酸銅を基本とするメッキ液を使用した。

【0068】ただし、主導体膜16をスパッタリング法で形成することもできる。この導電性バリア膜15および主導体膜16を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋込み性および膜質の向上を図る上では、例えばロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導体膜16をCVD法で形成することもできる。

【0069】続いて、例えば475℃程度 of 非酸化性雰囲気(例えば水素雰囲気)中で基板1に対して熱処理を

施すことによって主導体膜16をリフローさせ、銅を配線溝14の内部に隙間なく埋め込む。

【0070】次に、このような主導体膜16および導電性バリア膜15をCMP(ChemicalMechanical Polishing)法等によって研磨する。研磨スラリーとしては、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。このようにして、図10に示すように、配線溝14内に銅を主成分とする埋込み第2層配線(配線)L2を形成する。埋込み第2層配線L2はプラグ13を通じて第1層配線L1と電気的に接続されている。

【0071】研磨が終了した基板1は、その表面に防蝕処理が施される。この防蝕処理部は、研磨処理部の構成と類似した構成になっており、ここでは、まず研磨盤(プラテン)の表面に取り付けた研磨パッドに基板1の主面が押し付けられて研磨スラリーが機械的に除去された後、例えばベンゾトリアゾール(BTA)などの防蝕剤を含んだ薬液が基板1の主面に供給されることにより、基板1の主面に形成された銅配線の表面部分に疎水性保護膜が形成される。

【0072】防蝕処理が終了した基板1は、その表面の乾燥を防ぐために、浸漬処理部に一時的に保管される。浸漬処理部は、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽(ストッカ)の中に所定枚数の基板1を浸漬させて保管する構造になっている。このとき、埋込み第2層配線L2の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、埋込み第2層配線L2の腐蝕をより一層確実に防止することができる。基板1の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板1の表面を湿润状態に保持することのできる方法であれば、上記した浸漬槽中での保管以外の方法で行っても良い。この浸漬処理部(基板保管部)を遮光構造にし、保管中の基板1の表面に照明光などが照射されないようにすることができる。これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部を遮光構造にするには、具体的には浸漬槽(ストッカ)の周囲を遮光シートなどで被覆することによって、浸漬槽(ストッカ)の内部の照度を少なくとも500ルクス以下、好ましくは300ルクス以下、さらに好ましくは100ルクス以下にする。なお、上記のようなCMP処理およびCMP装置については、例えば本発明者らによる特願平11-226876号や特願2000-300853号に記載がある。

【0073】その後、基板1の表面の湿润状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のスラリー等の異物を除去する目的を有してお

り、CMP処理により基板1に付着した酸性スラリを中和し、基板1と、異物と、洗浄用のブラシとのzeta電位を方向を揃えて、それらの間の吸着力をなくすために、例えばpH8程度またはそれ以上の弱アルカリ薬液を供給しながら、基板1の表面をスクラブ洗浄（またはブラシ洗浄）する。アルカリ薬液として、例えばアミノエタノール（DAE（Diluted Amino Ethanol）、組成：2-Aminoethanol、 $\text{H}_2\text{NCH}_2\text{CH}_2\text{OH}$ 、濃度：0.001～0.1%程度、好ましくは0.01%）を用いた。この薬液は、銅のエッチング作用が少なく、 NH_4OH と同等の洗浄力を有する。この洗浄処理では、ロール型洗浄方式を採用した。ただし、これに限定されるものではなく種々変更可能であり、例えばアルカリ洗浄に際してディスク型洗浄方式を採用することもできる。また、酸洗浄に際してディスク型洗浄方式やペン型洗浄方式を採用することもできる。

【0074】続いて、基板1に対して還元処理を施す。ここでは、図11に示すように、水素ガス雰囲気中で、例えば200～475℃、好ましくは300℃、例えば0.5～5分、好ましくは2分程度の熱処理を基板1に対して施した（水素（ H_2 ）アニール）。これにより、CMP時に発生した埋込み第2層配線L2表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋込み第2層配線L2のエッチングを抑制または防止することができる。このため、配線抵抗の上昇、配線抵抗のばらつきおよび段差の発生を同時に抑制または防止でき、さらに、エッチコロージョンの発生も抑制または防止できる。また、還元処理を行わない場合、CMP処理時に基板1の表面に付着したBTA等のような有機物が洗浄処理に際してマスクとなり絶縁膜8fの表層を良好に削り取ることができない場合があるが、本実施の形態のように還元処理を行うことにより、CMP時に付着したBTA等の有機物を除去することができるので、絶縁膜8fの表層を、十分に、かつ、均一に除去することができる。これらにより、半導体集積回路装置のTDDDB寿命を大幅に向上させることが可能となる。なお、場合によっては、上記のような水素アニールを施さなくても良い場合もある。

【0075】続いて基板1に対して酸洗浄処理を施す。この処理は、TDDDB特性の向上、残留金属除去、絶縁膜8f表面のダングリングボンドの低減および絶縁膜8f表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板1の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。フッ酸洗浄を挿入しただけでもTDDDB特性を改善できる。これは、酸処理により表面のダメージ層が除去されて界面の密着性が向上したためと考えられる。フッ酸（HF）洗浄は、例えば、ブラシスクラブ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。

【0076】本発明者らの実験によれば、アルカリ洗浄

と酸洗浄との連続シーケンスのTDDDB特性と比較し、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスのTDDDB特性は、約2桁向上することが明らかとされた。層間絶縁膜に低誘電率の絶縁材料を用いた埋込み銅配線構造の信頼性を考慮すると、2桁のTDDDB寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDDDB寿命が向上する理由として、CMP時に付着するBTA等の有機物が除去されるためと考えられる。有機物が付着したまま酸洗浄を行うと、TDDDB寿命を左右する隣接絶縁膜表面のクリーニング（リフトオフ）が十分にできないと推定される。一方、本実施の形態では水素アニール処理を行ってから洗浄処理を行うため、絶縁膜の表層を、十分に、かつ、均一にリフトオフすることができ、TDDDB寿命を向上させることが可能となる。

【0077】上記の例では、還元処理として水素アニールを施す場合について説明したが、これに限定されるものではなく、例えば水素プラズマやアンモニアプラズマを施しても良い。この場合、上記した効果の他に、還元処理時間を短縮でき、スループットの向上を推進させることができる、という効果が得られる。水素プラズマやアンモニアプラズマに比較した場合の水素アニールの利点としては、デバイスプロセスで良く使用されており実績があること、また、真空状態を形成する必要がないこと等から、比較的容易に処理を行うことができる、という利点がある。

【0078】また、CMP処理後、上記還元処理を行い、その後、アルカリ洗浄処理、酸洗浄処理の順で後洗浄処理を行っても良い。また、アルカリ洗浄を行わず、酸洗浄のみを行っても良い。酸洗浄のみを行っただけでもTDDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上できたためと思われる。

【0079】また、上記CMP後洗浄処理に先行または並行して、基板1の表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄したり、基板1の裏面を純水スクラブ洗浄したりしても良い。

【0080】続いて、本実施の形態においては、図12に示すように、埋込み第2層配線L2に対してエッチング処理を施すことにより、埋込み第2層配線L2の上層を選択的にエッチング除去する。これにより、埋込み第2層配線L2の上面を、CMP面である絶縁膜8fの上面よりも窪ませる。すなわち、埋込み第2層配線L2の上面と、絶縁膜8fの上面との間に小さな段差を生じさせている。ここでは、図12（b）に例示するように、導電性バリア膜15の上部は、これに近接する絶縁膜8fの上面の高さまで残されているが、銅からなる主導体膜16の上面、特に上部角は、埋込み第2層配線L2において導電性バリア膜15の上部から距離d3だけ下方に離れて配置されている。すなわち、主導体膜16の上

部角は、埋込み第2層配線L2において最も電界が集中する上部角（導電性バリア膜15の上部）からずれるように配置されている。これにより、埋込み第2層配線L2において、電界が最も集中し、かつ、絶縁膜8fの上面（CMP面）が接する部分に、拡散係数の高い銅からなる主導体膜16が存在しないような構造とすることができる。このため、上記電界集中に起因する銅の拡散を抑制または防止することが可能となる。この結果、TDDB寿命を向上させることが可能となる。距離d3は、例えば10nm程度またはそれ以上である。なお、このような段差形状を採用することを考慮して、予め配線溝14の深さ（すなわち、絶縁膜8d～8fの総厚）を段差形状を採用しない場合よりも深く（厚く）しておく。

【0081】また、上記アルカリ洗浄処理または酸洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、埋込み第2層配線L2の上層をエッチング除去することにより、上記埋込み第2層配線L2を窪ませることもできる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0082】次に、上記埋込み第2層配線L2の上部を絶縁膜8fの上面から窪ませた後、例えば純水リンス処理およびスピン乾燥やIPA（イソプロピルアルコール）ペーパー乾燥等のような乾燥処理、後処理を経てキャップ絶縁膜の形成工程に移行する。

【0083】ここでは、まず、図13に示すように、基板1の表面（埋込み第2層配線L2が露出する面）に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1の直径を8インチ（≒約20cm）とした場合、処理圧力を5.0 Torr（ $=6.6661 \times 10^2$ Pa）、高周波（RF）電力を600 W、基板温度を400℃、水素ガス流量を500 cm³/min、処理時間を10～30秒とすることができる。電極間距離は600 mils（15.24 mm）とした。

【0084】続いて、上記水素プラズマ処理後、大気開放せず連続して、図14に示すように、基板1の表面（埋込み第2層配線L2が露出する面）に対して、アンモニア（NH₃）プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えばアンモニア流量を200 cm³/min程度とした以外は、上記水素プラズマ条件と同じである。

【0085】なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージを低減でき、基板温度が高いほどTDDB寿命の基板内ばらつきの低減と長寿命化がはかれることが明らかとされた。また、基板温度が高く、RF電力が大きく、処理時間が長いほどCuの表面にヒロックが発生しやすい、という知見が得られている。これらの知見と装置構成等による条件のばらつきを考慮すると、例えば処理圧力は0.5～

6 Torr（ $=0.66661 \times 10^2 \sim 7.99932 \times 10^2$ Pa）、RF電力は300～600 W、基板温度は350～450℃、水素ガス流量は50～1000 cm³/min、アンモニアガス流量は20～500 cm³/min、処理時間は5～180秒、電極間距離は150～1000 mils（3.81～25.4 mm）の範囲で設定することができる。

【0086】続いて、上記アンモニアプラズマ処理後、大気開放せず連続して、図15および図16に示すように、埋込み第2層配線L2および絶縁膜8fの上面上に、配線キャップ用の絶縁膜（第1、第2の絶縁膜）8gをCVD法等によって堆積する。絶縁膜8gは、例えば上記絶縁膜8dと同一厚さの同一材料からなる。絶縁膜8gの材料には、上記絶縁膜8dと同様の変形例がある。また、図16（a）に示すように、埋込み第2層配線L2の側面には、下方から上方に向かって配線幅が次第に広くなるようなテーパーが形成されている。この埋込み第2層配線L2の側面と絶縁膜8cの上面との成す角αは、例えば80°～90°の範囲内、具体的には、例えば88.7°程度である。配線の上部側の幅（配線溝14の上部側幅）および隣接配線の上部側の間隔（隣接配線の上部角間の距離）は、例えば0.25 μm以下、あるいは0.2 μm以下である。配線溝14のアスペクト比は、例えば1である。

【0087】ここでは、水素プラズマ処理後にアンモニアプラズマ処理を施す場合について説明したが、これに限定されるものではなく種々変更可能である。例えばアンモニアプラズマ処理後に水素プラズマ処理を真空状態を維持したまま連続して行っても良い。また、アンモニアプラズマ処理のみを行っても良い。これらの場合、配線抵抗は前記した場合よりも低下したものの、TDDB寿命を向上させることができた。

【0088】また、CMP後洗浄処理後の乾燥処理の後、水素アニール処理、水素プラズマ処理、アンモニアプラズマ処理、配線キャップ膜形成処理の順に処理を行っても良い。この場合のアンモニアプラズマ処理と水素プラズマ処理との順序は逆でも良い。また、アンモニアプラズマ処理のみでも良い。いずれにおいても水素アニールの条件としては、処理温度は、例えば200～475℃、好ましくは300℃程度、処理時間は、例えば0.5～5分、好ましくは2分程度とした。この方法は、特に埋込み配線用の銅からなる主導体膜をメッキ法で形成する場合に適している。また、後洗浄処理中またはその直前の還元処理に際して水素アニールを行わない場合に適している。このように水素アニール処理を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げる事が可能となる。また、この水素アニール処理を行わずにキャップ膜を堆積すると、熱応力によってキャップ膜の剥離が生じる場合があるが、水素アニール処理を施すことに